БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ

Факультет КСиС

Кафедра ЭВМ ФКСиС

Контроль и диагностика средств вычислительной техники

Лабораторная работа № 1

Синтез комбинационной схемы

и построение теста контроля

Вариант № 1

Ст. гр. 450503 Преподаватель:

Бровко Т.А. доцент каф. ЭВМ ФКСиС

Золоторевич Л. А.

Минск 2018

**1 Исходная функция:**

Таблица 1 – Таблица истинности

| X1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| X3 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| X4 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Y | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |

**2 Минимизация функции методом Карт Карно**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X1X2  X3X4 | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 1 | 1 | 0 | 0 |
| 10 | 1 | 1 | 0 | 0 |

**3 Преобразование функции для реализации в базисе Шеффера**

**(И-НЕ):**

**4 Преобразование функции для реализации в базисе Вебба (ИЛИ-НЕ):**

**5 Построение тестов контроля схемы, выполненной в базисе Вебба**

5.1 Неисправность const 0 на первичном входе X1. Для данной неисправности найдены тестовые наборы {111;110} (см. рисунок 5.1).



Рисунок 5.1 – Построение теста для неисправности «const 0 на первичном входе X1» методом очувствления одномерного пути (выделен красным)

5.2 Неисправность const 1 на первичном входе X1. Для данной неисправности найден тестовый набор {010;011} (см. рисунок 5.2).



Рисунок 5.2 – Построение теста для неисправности «const 1 на первичном входе X1» методом очувствления одномерного пути (выделен красным)

5.3 Неисправность const 0 на первичном входе X3 . Для данной неисправности найдены тестовые наборы{010;011}(см. рисунок 5.3).



Рисунок 5.3 – Построение теста для неисправности «const 0 на первичном входе X3» методом очувствления одномерного пути (выделен красным)

5.4 Неисправность const 1 на первичном входе X3 . Для данной неисправности найдены тестовые наборы{001;000} (см. рисунок 5.4).



Рисунок 5.4 – Построение теста для неисправности «const 1 на первичном входе X3» методом очувствления одномерного пути (выделен красным)

5.5 Неисправность const 0 на первичном входе X4 . Для данной неисправности найдены тестовые наборы{101} (см. рисунок 5.5).



Рисунок 5.5 – Построение теста для неисправности «const 0 на первичном входе X4» методом очувствления одномерного пути (выделен красным)

5.6 Неисправность const 1 на первичном входе X4 . Для данной неисправности найдены тестовые наборы{100,000} (см. рисунок 5.6).



Рисунок 5.6 – Построение теста для неисправности «const 1 на первичном входе X4» методом очувствления одномерного пути (выделен красным)

5.7 Неисправность const 0 на выходе элемента А1. Для данной неисправности найдены тестовые наборы{010;011} (см. рисунок 5.7).



Рисунок 5.7 – Построение теста для неисправности «const 0 на выходе элемента А1» методом очувствления одномерного пути (выделен красным)

5.8 Неисправность const 1 на выходе элемента А1. Для данной неисправности найдены тестовые наборы{110;111} (см. рисунок 5.8).



Рисунок 5.8 – Построение теста для неисправности «const1 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.9 Неисправность const 0 на выходе элемента А2. Для данной неисправности найдены тестовые наборы{100} (см. рисунок 5.9).



Рисунок 5.9 – Построение теста для неисправности «const1 на выходе элемента А2»методом очувствления одномерного пути (выделен красным)

5.10 Неисправность const 1 на выходе элемента А2. Для данной неисправности найдены тестовые наборы{100} (см. рисунок 5.10).



Рисунок 5.10 – Построение теста для неисправности «const 1 на выходе элемента А2» методом очувствления одномерного пути (выделен красным)

5.11 Неисправность const0 на выходе элемента А3. Для данной неисправности найдены тестовые наборы{100} (см. рисунок 5.11).



Рисунок 5.11 – Построение теста для неисправности «const0 на выходе элемента А3» методом очувствления одномерного пути (выделен красным)

5.12 Неисправность const 1 на выходе элемента А3. Для данной неисправности найдены тестовые наборы{100} (см. рисунок 5.12).



Рисунок 5.12 – Построение теста для неисправности «const 1 на выходе элемента А3» методом очувствления одномерного пути (выделен красным)

5.13 Неисправность const 0 на выходе элемента В1. Для данной неисправности найдены тестовые наборы {000;001;110;111;101} (см. рисунок 5.13).



Рисунок 5.13 – Построение теста для неисправности «const0 на выходе элемента В1» методом очувствления одномерного пути (выделен красным)

5.14 Неисправность const 1 на выходе элемента В1. Для данной неисправности найдены тестовые наборы {010;011} (см. рисунок 5.16).



Рисунок 5.14 – Построение теста для неисправности «const 1 на выходе элемента В1» методом очувствления одномерного пути (выделен красным)

5.15 Неисправность const0 на выходе элемента В2. Для данной неисправности найдены тестовые наборы { 001; 000; 110; 111; 101; 011; 001} (см. рисунок 5.15).



Рисунок 5.15 – Построение теста для неисправности «const0 на выходе элемента В2»методом очувствления одномерного пути (выделен красным)

5.16 Неисправность const 1 на выходе элемента В2. Для данной неисправности найдены тестовые наборы{100} (см. рисунок 5.16).



Рисунок 5.16 – Построение теста для неисправности «const 1 на выходе элемента В2» методом очувствления одномерного пути (выделен красным)

5.17 Неисправность const0 на выходе элемента C1. Для данной неисправности найдены тестовые наборы {010;011;100} (см. рисунок 5.17).



Рисунок 5.17 – Построение теста для неисправности «const0 на выходе элемента C1» методом очувствления одномерного пути (выделен красным)

5.17 Неисправность const 1 на выходе элемента C1. Для данной неисправности найдены тестовые наборы{110;111;100} (см. рисунок 5.18).



Рисунок 5.18 – Построение теста для неисправности «const 1 на выходе элемента C1» методом очувствления одномерного пути (выделен красным)

**6 Формируем таблицу функций неисправностей (таблица 2).**

**Решаем задачу нахождения минимального строкового покрытия.**

Таблица 2- Таблица функций неисправностей (столбцы-неисправности константного типа (нумерация неисправности по пунктам отчета 5.x), строки – тестовые наборы)

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 |
| 000 |  |  |  | 1 |  | 1 |  |  |  |  |  |  | 1 |  | 1 |  |  |  |
| 001 |  |  |  | 1 |  |  |  |  |  |  |  |  | 1 |  | 1 |  |  |  |
| 010 |  | 1 | 1 |  |  |  | 1 |  |  |  |  |  |  | 1 |  |  |  | 1 |
| 011 |  | 1 | 1 |  |  |  | 1 |  |  |  |  |  |  | 1 | 1 | 1 |  | 1 |
| 100 |  |  |  |  |  | 1 |  |  | 1 | 1 | 1 | 1 | 1 |  |  |  | 1 | 1 |
| 101 |  |  |  |  | 1 |  |  |  |  |  |  |  | 1 |  | 1 |  |  |  |
| 110 | 1 |  |  |  |  |  |  | 1 |  |  |  |  |  |  | 1 |  | 1 |  |
| 111 | 1 |  |  |  |  |  |  | 1 |  |  |  |  | 1 |  | 1 |  | 1 |  |

**7 Тестовая последовательность {001;011;100;111;101}**

**8 Описание структурной схемы в программной системе VLSI-SIM**

circuit 1;

inputs X1(1), X3(1), X4(1);

outputs D1(1);

GATES

A1 'NAND'(1) X1(1);

A2 'NAND'(1) X3(1);

A3 'NAND'(1) X4(1);

B1 'NAND'(1) A1(1), X3(1);

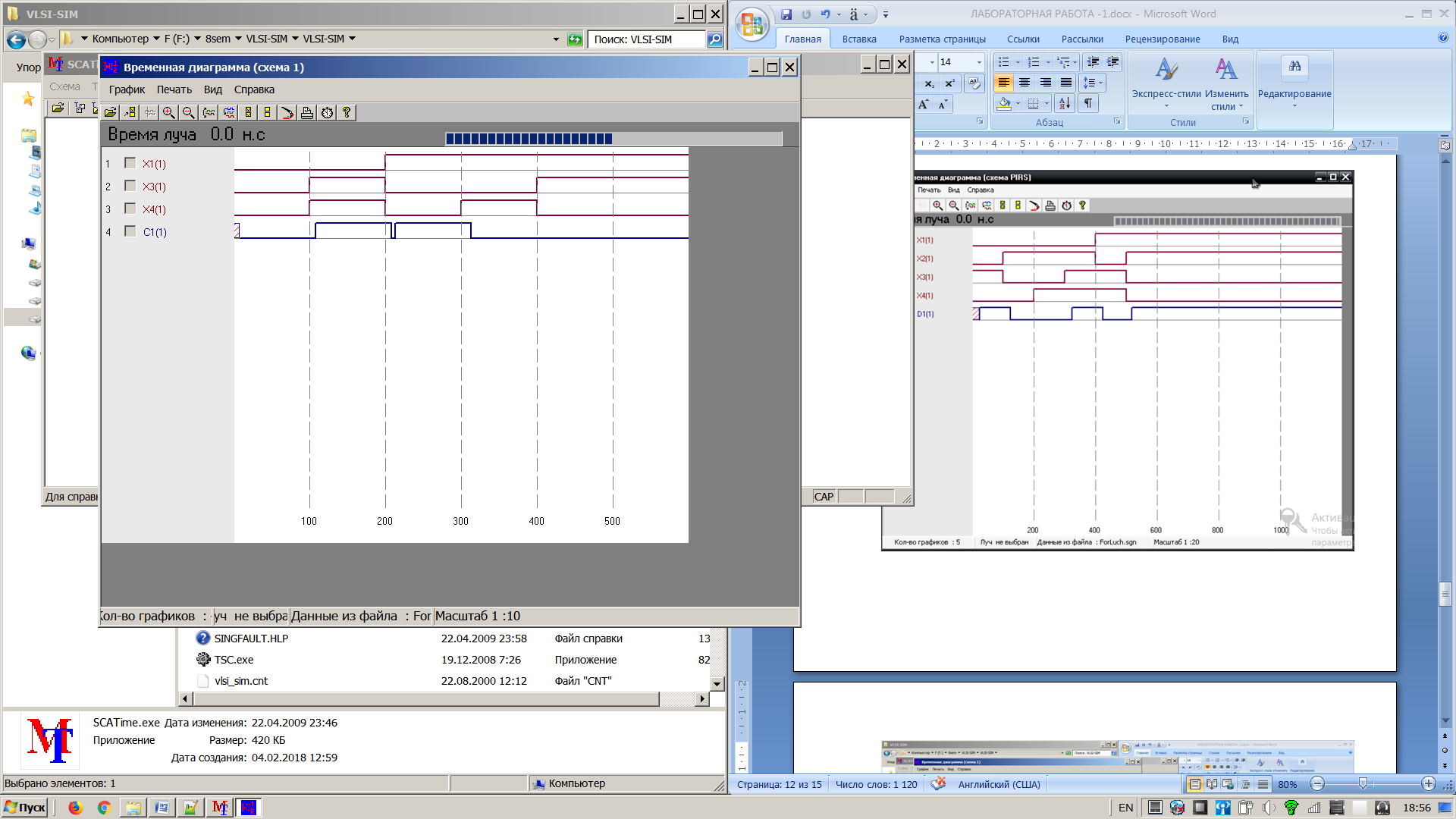
B2 'NAND'(1) X1(1), A2(1),A3(1);

C1 'NAND'(1) B1(1), B2(1);

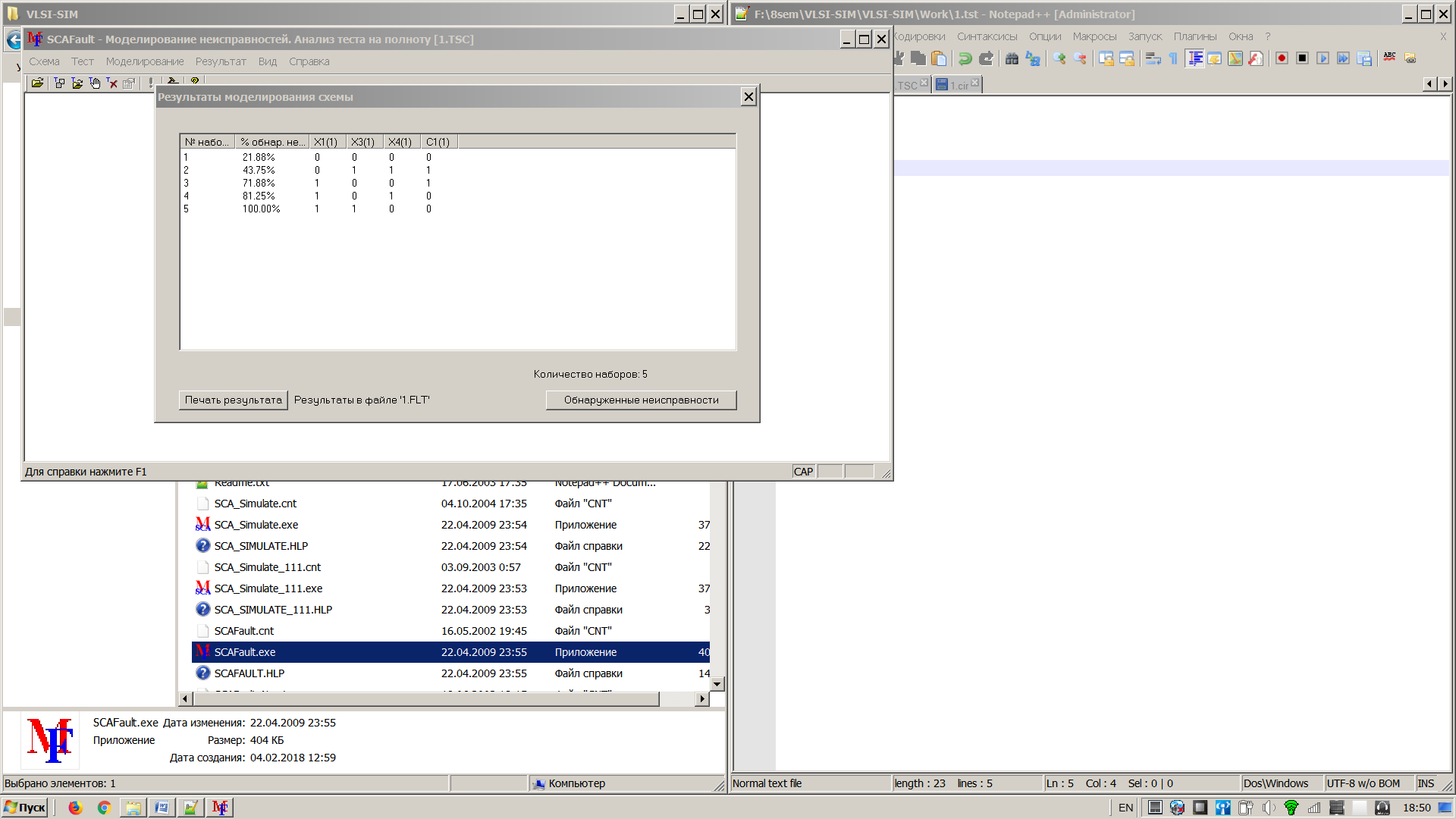
ENDGATES

END

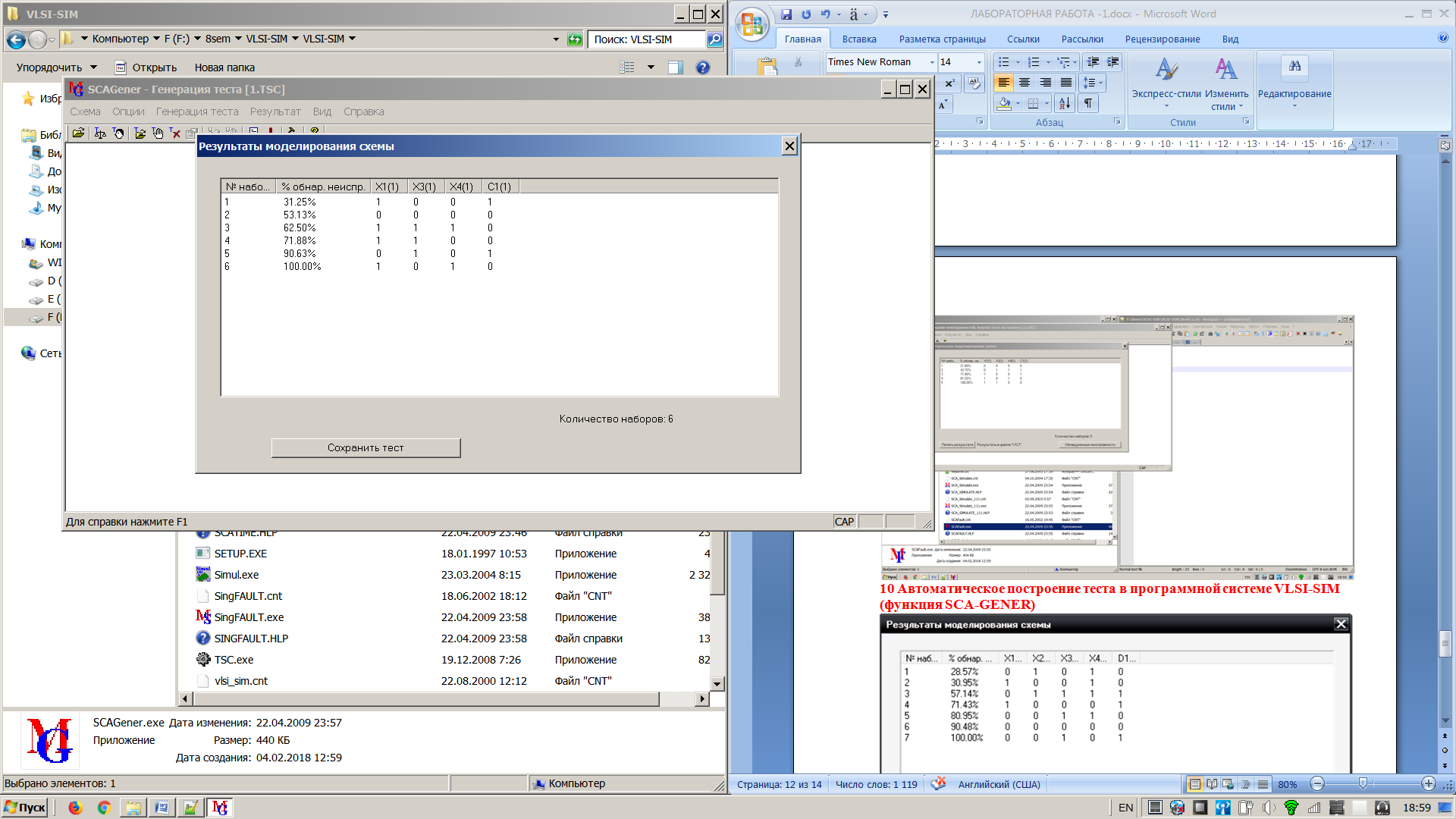
**9 Результаты моделирования в программной системе VLSI-SIM (функция SCA-TIME)**

****

**9 Результаты моделирования неисправностей в программной системе VLSI-SIM (функция SCA-FAULT)**

­­­­

**10 Автоматическое построение теста в программной системе VLSI-SIM (функция SCA-GENER)**



**11 Описание структурной схемы, реализованной в базисе Шеффера, в программной системе VLSI-SIM**

circuit 2;

inputs X1(1), X3(1), X4(1);

outputs D1(1);

GATES

A1 'NOR'(1) X1(1);

A2 'NOR' (1) X3(1);

B1 'NOR'(1) X1(1), A2(1);

B2 'NOR'(1) A1(1), X3(1), X4(1);

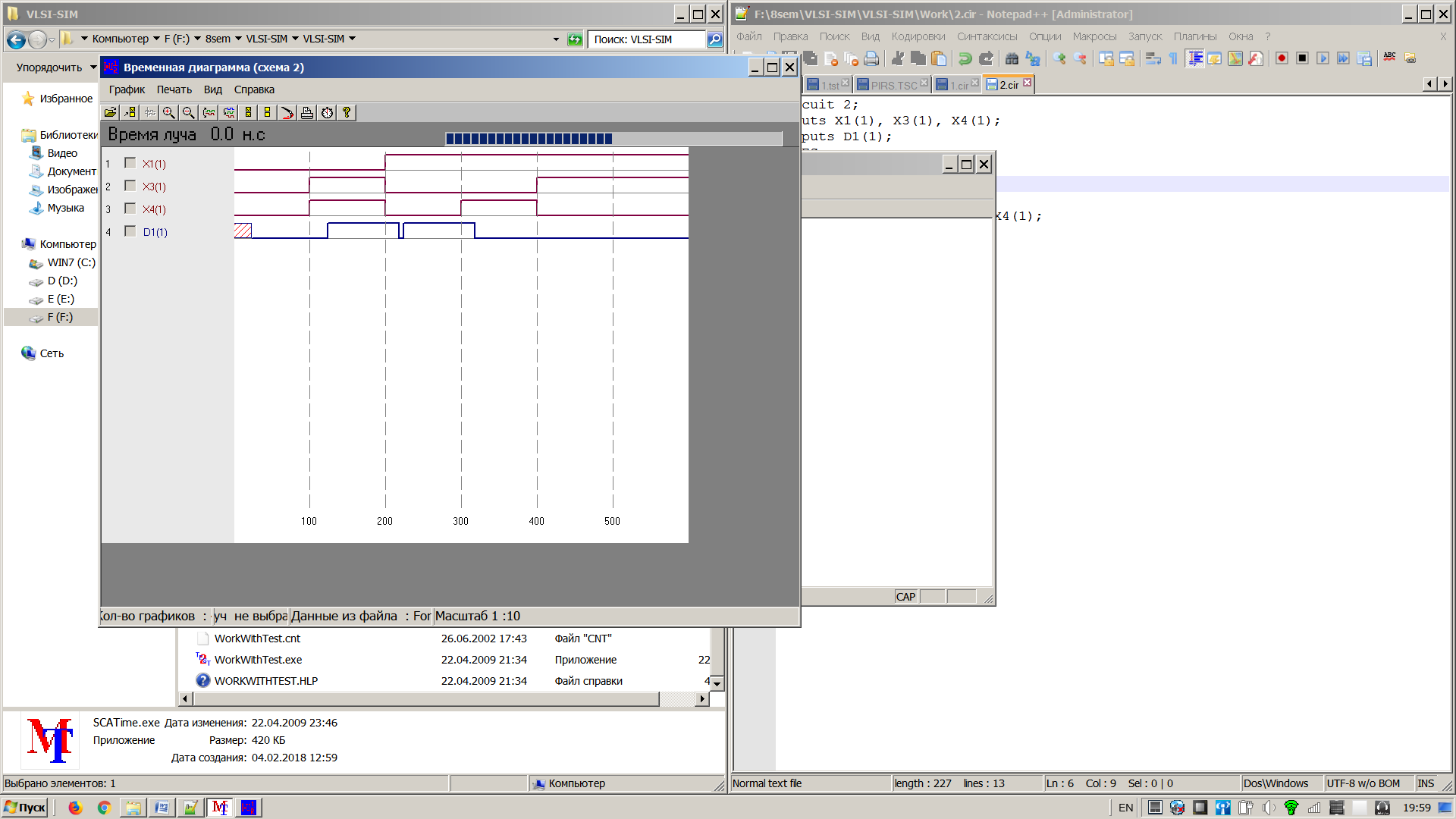
C1 'NOR'(1) B1(1), B2(1);

D1 'NOR'(1) C1(1);

ENDGATES

END

**12 Моделирование схемы**

****

**13 Сравнение результатов моделирования**

Результаты динамического моделирования схем в разных технологических базисах в данном случае совпали. Это значит, что в схемах критических состязаний сигналов не выявлено.

**ВЫВОДЫ:**

Метод очувствления одномерного пути обеспечил построение теста контроля со 100 % покрытием неисправностей константного типа, что подтверждено программной генерацией теста и анализом полноты теста в системе VLSI-SIM.